

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11055668 A

(43) Date of publication of application: 26 . 02 . 99

(51) Int. Cl.

H04N 7/30  
G06T 1/20

(21) Application number: 09205840

(71) Applicant: NEC CORP

(22) Date of filing: 31 . 07 . 97

(72) Inventor: KATAYAMA YOICHI

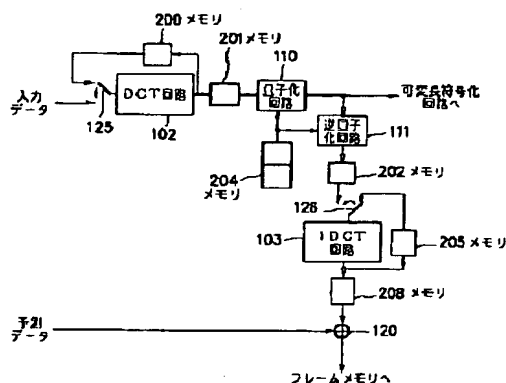
## (54) IMAGE CODER

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide an image coder capable of reducing memory capacity, decreasing circuit scale and reducing power consumption.

**SOLUTION:** Image data are divided into data of plural split areas and a discrete cosine transform DCT circuit 102 applies DCT processing to the data in the split area, a quantization circuit 110 executes quantization processing, an inverse quantization circuit 111 executes inverse quantization processing, and an inverse discrete cosine transform IDCT circuit 103 executes IDCT processing. In this case, since the processing is executed by pipe line processing in the unit of a data amount of the split area, each block processes a comparatively small data amount and the capacity of the memory storing the data is reduced and the memory access is executed interruptingly and the operation time of the memory is reduced to reduce the power consumption.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-55668

(43)公開日 平成11年(1999) 2月26日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 N 7/30

H 0 4 N 7/133

Z

G 0 6 T 1/20

G 0 6 F 15/66

L

審査請求 有 請求項の数 8 O L (全 18 頁)

(21)出願番号 特願平9-205840

(22)出願日 平成9年(1997) 7月31日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 ▲片▼山 陽一

東京都港区芝五丁目7番1号 日本電気株式会社内

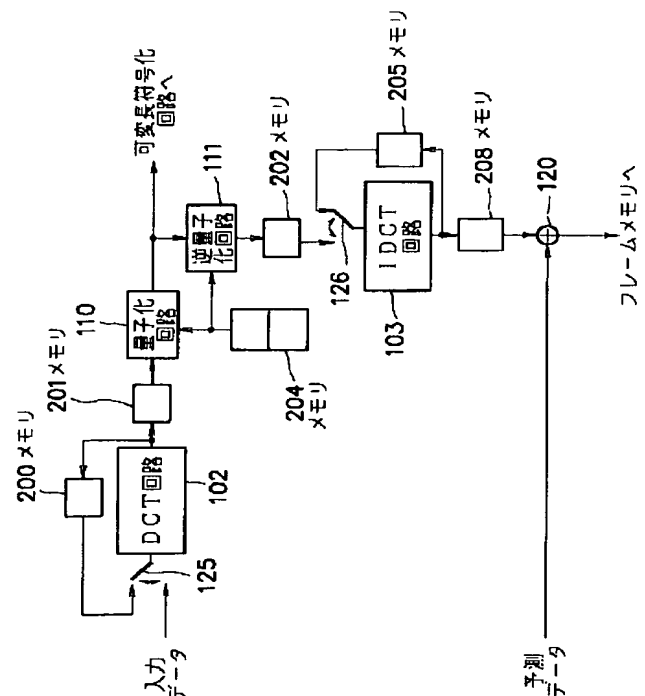
(74)代理人 弁理士 丸山 隆夫

(54)【発明の名称】 画像符号化装置

(57)【要約】

【課題】 メモリの容量を削減し、回路規模を小さくし、消費電力を低減することが可能な画像符号化装置を提供する。

【解決手段】 画像データを複数の分割領域のデータに分割し、この分割された分割領域のデータに対して、DCT回路102がDCT処理を実行し、量子化回路110が量子化処理を実行し、逆量子化回路111が逆量子化処理を実行し、IDCT回路103がIDCT処理を実行する。この際、これらの処理が、分割領域のデータ量を単位としたパイプライン処理により実行されるため、各ブロックが比較的小さいデータ量を取り扱うことになり、このデータを格納するメモリの容量を削減することができると共に、メモリアクセスを断続的に実行することができ、メモリの稼働時間を短くすることができるので、消費電力を低減することができる。



## 【特許請求の範囲】

【請求項 1】 画像データが複数の分割領域のデータに分割されて入力する画像符号化装置において、前記分割領域のデータに対して、離散コサイン変換を実行する離散コサイン変換手段と、前記分割領域のデータに対して、量子化を実行する量子化手段と、前記分割領域のデータに対して、逆量子化を実行する逆量子化手段と、前記分割領域のデータに対して、逆離散コサイン変換を実行する逆離散コサイン変換手段と、前記離散コサイン変換手段から出力されたデータを格納する、前記分割領域 1 つ分の容量の第 1 のメモリと、前記逆量子化手段から出力されたデータを格納する、前記分割領域 1 つ分の容量の第 2 のメモリと、前記逆離散コサイン変換手段から出力されたデータを格納する、前記分割領域 1 つ分の容量の第 3 のメモリとを有し、前記離散コサイン変換手段、前記量子化手段、前記逆量子化手段、及び前記逆離散コサイン変換手段におけるそれぞれの処理が、前記分割領域を単位として、パイプライン処理により実行されることを特徴とする画像符号化装置。

【請求項 2】 画像データが複数の分割領域のデータに分割され、該分割領域のデータが少なくとも 1 以上集合した集合領域のデータが入力する画像符号化装置において、前記集合領域のデータに対して、離散コサイン変換を実行する離散コサイン変換手段と、前記集合領域のデータに対して、量子化を実行する量子化手段と、前記集合領域のデータに対して、逆量子化を実行する逆量子化手段と、前記集合領域のデータに対して、逆離散コサイン変換を実行する逆離散コサイン変換手段と、前記離散コサイン変換手段から出力されたデータを格納する、前記分割領域 1 つ分の容量の第 1 のメモリと、前記逆量子化手段から出力されたデータを格納する、前記分割領域 1 つ分の容量の第 2 のメモリと、前記逆離散コサイン変換手段から出力されたデータを格納する、前記集合領域分の容量以下の容量の第 3 のメモリとを有し、前記離散コサイン変換手段、前記量子化手段、前記逆量子化手段、及び前記逆離散コサイン変換手段におけるそれぞれの処理が、前記集合領域分のデータを単位として、パイプライン処理により実行されることを特徴とする画像符号化装置。

【請求項 3】 少なくとも 1 以上に分割された画像データの分割領域のデータと、第 1 のメモリから出力されたデータとが入力し、該入力した 2 つのデータの内、い

れか一方を出力する第 1 のスイッチと、前記第 1 のスイッチから出力されたデータに対して、離散コサイン変換を実行する離散コサイン変換手段と、前記離散コサイン変換手段から出力されたデータを格納する、前記分割領域 1 つ分の容量の第 1 のメモリと、前記離散コサイン変換手段から出力されたデータを格納する、前記分割領域 1 つ分の容量の第 2 のメモリと、前記第 2 のメモリに格納されたデータに対して、第 3 のメモリに格納されたテーブルに基づいて量子化を実行する量子化手段と、前記量子化手段から出力されたデータが入力し、該量子化手段から出力されたデータに対して、前記第 3 のメモリに格納されたテーブルに基づいて逆量子化を実行する逆量子化手段と、前記逆量子化手段から出力されたデータを格納する、前記分割領域 1 つ分の容量の第 4 のメモリと、前記第 4 のメモリから出力されたデータと、第 5 のメモリから出力されたデータの内、いずれか一方を出力する第 2 のスイッチと、前記第 2 のスイッチから出力されたデータを格納する、前記分割領域 1 つ分の容量の第 5 のメモリと、前記第 2 のスイッチから出力されたデータを格納する、前記分割領域 1 つ分の容量の第 6 のメモリと、前記第 6 のメモリから出力されたデータと、外部から入力した予測データとを加算する加算器とを有することを特徴とする画像符号化装置。

【請求項 4】 前記第 1 のスイッチ、及び前記第 2 のスイッチがそれぞれマルチプレクサにより構成されていることを特徴とする請求項 3 記載の画像符号化装置。

【請求項 5】 少なくとも 1 以上に分割された画像データの分割領域のデータと、第 1 のメモリから出力されたデータと、第 4 のメモリから出力されたデータとが入力し、該入力した 3 つのデータの内、いずれか 1 つを出力する第 1 のスイッチと、前記第 1 のスイッチから出力されたデータを入力し、離散コサイン変換、若しくは、逆離散コサイン変換を実行する、離散コサイン変換手段と、前記離散コサイン変換手段から出力されたデータを格納する、前記分割領域 1 つ分の容量の第 1 のメモリと、前記離散コサイン変換手段から出力されたデータを格納する、前記分割領域 1 つ分の容量の第 2 のメモリと、前記第 2 のメモリに格納されたデータに対して、第 3 のメモリに格納されたテーブルに基づいて、量子化を実行する量子化手段と、前記量子化手段から出力されたデータに対して、前記第 3 のメモリに格納されたテーブルに基づいて、逆量子化を実行する逆量子化手段と、前記逆量子化手段から出力されたデータを格納する、前記分割領域 1 つ分の容量の第 4 のメモリと、前記第 2 のメモリから出力されたデータと、外部から出

力された予測データとを加算する加算器とを有することを特徴とする画像符号化装置。

【請求項6】 前記第1のスイッチ、及び前記第2のスイッチがマルチプレクサにより構成されていることを特徴とする請求項5記載の画像符号化装置。

【請求項7】 少なくとも1以上に分割された画像データの分割領域のデータが複数集合して構成される集合データと、第1のメモリから出力されたデータと、第4のメモリから出力されたデータとが入力し、該入力した3つのデータの内、いずれか1つを出力する第1のスイッチと、

前記第1のスイッチから出力されたデータを入力し、離散コサイン変換、若しくは、逆離散コサイン変換を実行する、離散コサイン変換手段と、

前記離散コサイン変換手段から出力されたデータを格納する、前記分割領域1つ分の容量の第1のメモリと、

前記離散コサイン変換手段から出力されたデータを格納する、前記分割領域1つ分の容量の第2のメモリと、

前記第2のメモリに格納されたデータに対して、第3のメモリに格納されたテーブルに基づいて、量子化を実行する量子化手段と、

前記量子化手段から出力されたデータに対して、前記第3のメモリに格納されたテーブルに基づいて、逆量子化を実行する逆量子化手段と、

前記逆量子化手段から出力されたデータを格納する、前記集合領域分の容量以下の容量の第4のメモリと、

前記第2のメモリから出力されたデータと、外部から出力された予測データとを加算する加算器とを有することを特徴とする画像符号化装置。

【請求項8】 前記第1のスイッチ、及び前記第2のスイッチがマルチプレクサにより構成されていることを特徴とする請求項7記載の画像符号化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画像符号化装置に関し、特に離散コサイン変換、量子化、逆量子化、逆離散コサイン変換を実行する画像符号化装置に関する。

【0002】

【従来の技術】 現在の画像データの取り扱いの急増に伴い、扱う画像データを圧縮する技術が、符号化技術と共に多用されている。

【0003】 従来の画像を符号化する装置としては、動画像符号化の国際標準MPEG (ISO/IEC-11172, ISO/IEC-13818) に準拠するものがよく知られている。例えばこの従来の画像符号化装置について、図12を参照して説明する。

【0004】 図12に、従来の画像符号化装置の構成のブロック図を示す。図12に示すように、この画像符号化装置は、離散コサイン変換 (以下、DCTとも言う。)

部102と、量子化 (以下、Qとも言う。)

部10と、逆量子化 (以下、IQとも言う。)

部11と、逆離散コサイン変換 (以下、IDCTとも言う。)

部103と、局所復号画像生成部120と、予測誤差生成部121と、マルチプレクサ122と、局所復号画像を格納するフレームメモリ250と、動きベクトルを検出する動き検出部251と、量子化結果および動きベクトル情報に符号を割り当てる可変長符号化部252と、フレーム間予測を行なう動き補償部254とから構成される。

【0005】 図12は従来の画像符号化装置の構成のブロック図であるが、特に、本発明の対象となる部分を破線により示している。

【0006】 次に、図12を用いて、画像符号化処理の流れを説明する。まず符号化にはモードが2種類あり、その1つが他の画像フレームを参照しないイントラ符号化モードであり、その他の1つが参照画像を基に予測を行なうノンイントラ符号化モードである。

【0007】 上述の、イントラ符号化モードではマルチプレクサ122において、0側を選択し、ノンイントラ符号化モードではマルチプレクサ122において、動き補償部254の出力側を選択する。この画像データと入力画像との差分データに対して、DCT部102がDCT演算を実行する。

【0008】 DCT演算の結果は、Q部110により量子化の演算が実行され、この演算結果は、可変長符号化部252において、動き検出部251により検出された動きベクトルデータ260と共に符号に変換される。Q部110から出力された量子化演算結果は、IQ部111にも入力され、このIQ部111において逆量子化演算が実行される。

【0009】 IQ部111における逆量子化演算の結果得られたIQ演算結果は、IDCT部103に入力され、IDCT演算が実行される。このIDCT部103におけるIDCT演算結果は局所復号画像生成部120において、局所復号データに変換された後、フレームメモリ250に格納される。

【0010】 動き検出部251は、例えばフレームメモリ250の内部にある局所復号データに対し、入力画像データの類似度を細分化された画像領域毎に対応位置をずらしながらパターンマッチング等で調べ、最も類似度の高い位置のずれ座標を動きベクトルとして検出して出力するものである。

【0011】 上記の画像符号化装置において、DCT処理、Q処理、IQ処理、IDCT処理を実現する従来技術に1996年電子情報通信学会総合大会C-563“リアルタイムMPEG2符号化LSIの構成”や電子情報通信学会信学技報ICD95-103 (1995年8月) “MPEG2対応、5GOPs、マクロブロックレベル画素処理プロセッサ”に記載されているような技術がある。

【0012】 後者に示される従来技術は、図12に示す

従来の画像符号化装置のうち、DCT部102、Q部110、IQ部111、IDCT部103、局所復号画像生成部120および可変長符号化部252からなる装置である。

【0013】この装置では上述の、画像符号化処理を1マクロブロックを単位として処理する。この1マクロブロックとは、1ブロック8画素×8画素の画素データを、通常、6個〜12個集合させたブロックをいう。

【0014】この1マクロブロックの構成について、図13を参照して説明する。図13に、1マクロブロック

の構成を示す。  
【0015】図13において、(a)に、ITU-R BT601、4:2:0フォーマットの1マクロブロックを示し、(b)に、ITU-R BT601、4:2:2フォーマットの1マクロブロックを示し、(c)に、ITU-R BT601、4:4:4フォーマットの1マクロブロックを示している。

【0016】上述の各フォーマットの分類は、輝度信号と、色差成分との個数により分類されている。通常カラー画像信号を扱う場合は、輝度信号と2つの色差成分とに分けて処理される。輝度信号はY0、Y1、Y2、Y3と呼ばれる4個のブロックにより構成される。色差信号は、輝度信号に対してサブサンプルされて用いられる場合が多いが、そのフォーマットにより2つの色成分Cb、Crを合わせて2個、4個、若しくは8個のブロックから構成されるのが一般的である。

【0017】次に、図10に、従来の画像符号化装置の構成のブロック図を示す。ただし可変長符号化部は本発明の対象ではないので除くことにする。またマクロブロックの構成は、図13の(a)に示されるような、6個のブロックからなる4:2:0フォーマットであるとする。

【0018】図10に示されるDCT回路およびIDCT回路100は、2次元のDCTおよびIDCT処理を、垂直方向と水平方向とに方向を変えて1次元処理を2回実行することにより行う。そのためデータを方向を変えるための転置メモリが必要となる。

【0019】そのため、図10に示される従来の画像符号化装置は、DCT/IDCT転置メモリ206と、入力データ若しくはQ回路およびIQ回路112の出力データから3者択一するマルチプレクサ123と、このマルチプレクサ123の出力データを入力データとしDCT処理とIDCT処理とを時分割に実行するDCTおよびIDCT回路100と、このDCTおよびIDCT回路100、若しくは量子化結果格納メモリ203からの出力データから2者択一するマルチプレクサ124と、マルチプレクサ124の出力データを入力とし、量子化テーブル格納メモリ204に格納されている量子化テーブルを使用し、Q処理とIQ処理とを時分割に実行するQおよびIQ回路112と、このDCTおよびIDCT

回路100において演算されたIDCT結果と、入力される予測データとから、局所復号画像を生成する局所復号画像生成回路120とから構成されている。

【0020】この画像符号化装置の動作について以下に説明する。まず入力画像データに対しDCTおよびIDCT回路100において転置メモリ206を用いて2次元DCT演算を行なう。次に2次元DCT演算結果をQおよびIQ回路112においてQ演算し、この演算結果を可変長符号化回路へ出力するとともに、Q演算結果を量子化結果格納メモリ203へ格納する。

【0021】量子化結果格納メモリ203の出力側をマルチプレクサ124により選択し、量子化テーブル格納メモリ204に格納されている値を使用し、再度QおよびIQ回路112において、今度はIQ演算を実行し、この演算結果を、DCTおよびIDCT回路100に出力する。

【0022】次にDCTおよびIDCT回路100は、2次元IDCT演算を行なう。最後にこの2次元IDCT演算結果と、入力する予測画像とを加算してフレームメモリへ出力する。このようにして、画像符号化処理が実行される。

【0023】図11に、図10に示される画像符号化装置が具備するブロックの動作のタイミングチャートを示す。図11には、DCTおよびIDCT回路100のタイミングチャートと、メモリ206のタイミングチャートと、メモリ204のタイミングチャートと、Q/IQ回路112のタイミングチャートと、メモリ203のタイミングチャートとが示されている。

【0024】図11に示されるように、1マクロブロック処理期間の前半にはDCT処理とQ処理とを行ない、マクロブロック処理期間の後半においてIQ処理とIDCT処理とを行なう。このように、従来の画像符号化装置においては、1マクロブロック処理前半のDCT処理及びQ処理の処理結果を格納するために、図10に示されるように、1マクロブロック分の容量を持つ量子化結果格納メモリ203が必要となる。

【0025】

【発明が解決しようとする課題】しかしながら、上述の従来の画像符号化装置においては、例えば、図10に示されるように、メモリ203の容量として、1マクロブロック分の容量が必要となるため、メモリ量が大きくなるという問題点を有している。

【0026】また、演算装置等の論理回路部と、メモリ部の消費電力とを比較すると、メモリ部における消費電力は論理回路部における消費電力の量の約2倍の量になり、そのため大きなメモリ容量が必要な従来技術ではそれだけ消費電力が大きくなると共に、図11に示されるタイミングチャートのように従来の画像符号化装置においては1マクロブロックのほぼ全期間で装置が稼働するため稼働率が高くなり、消費電力が大きくなるという問

題点を有している。

【0027】上述のような、消費電力が大きくなるという問題点については、低消費電力化のために未稼働期間で、DCT処理手段やQ処理手段およびメモリに対しクロックを制御する手段が考えられるが、従来技術においてはメモリ量が多く、しかも稼働率が高く、クロックを制御する期間も限られるため消費電力の大幅な低減は望めない。例えば図11を参照すると従来技術では、量子化装置、および、逆量子化装置に量子化テーブルの値を供給するメモリ204は、1マクロブロック処理期間の最中稼働し続け、消費電力が増加する要因となっている。

【0028】本発明は、上記事情に鑑みなされたもので、メモリの容量を削減し、回路規模を小さくし、消費電力を低減することが可能な画像符号化装置を提供することを目的とする。

【0029】

【課題を解決するための手段】請求項1記載の発明は、画像データが複数の分割領域のデータに分割されて入力する画像符号化装置において、前記分割領域のデータに対して、離散コサイン変換を実行する離散コサイン変換手段と、前記分割領域のデータに対して、量子化を実行する量子化手段と、前記分割領域のデータに対して、逆量子化を実行する逆量子化手段と、前記分割領域のデータに対して、逆離散コサイン変換を実行する逆離散コサイン変換手段と、前記離散コサイン変換手段から出力されたデータを格納する、前記分割領域1つ分の容量の第1のメモリと、前記逆量子化手段から出力されたデータを格納する、前記分割領域1つ分の容量の第2のメモリと、前記逆離散コサイン変換手段から出力されたデータを格納する、前記分割領域1つ分の容量の第3のメモリとを有し、前記離散コサイン変換手段、前記量子化手段、前記逆量子化手段、及び前記逆離散コサイン変換手段におけるそれぞれの処理が、前記分割領域を単位として、パイプライン処理により実行されることを特徴とする。

【0030】従って、この発明によれば、画像データが分割された分割領域のデータの1つずつに対して、パイプライン処理により、DCT、量子化処理（以下、Q処理とも言う。）、逆量子化処理（以下、IQ処理とも言う。）、IDCTを実行し、これらの処理がなされた1つの分割領域のデータを、その容量が分割領域1つ分の容量であるメモリに格納しているため、メモリが増大することを防ぐことができると共に、分割領域の1つ分のデータを、パイプライン処理により取り扱っているため、メモリアクセスを行う時間を短くすることができるので、メモリが稼働する時間が短くなり消費電力を低くすることができる。

【0031】請求項2記載の発明は、画像データが複数の分割領域のデータに分割され、該分割領域のデータが

少なくとも1以上集合した集合領域のデータが入力する画像符号化装置において、前記集合領域のデータに対して、離散コサイン変換を実行する離散コサイン変換手段と、前記集合領域のデータに対して、量子化を実行する量子化手段と、前記集合領域のデータに対して、逆量子化を実行する逆量子化手段と、前記集合領域のデータに対して、逆離散コサイン変換を実行する逆離散コサイン変換手段と、前記離散コサイン変換手段から出力されたデータを格納する、前記分割領域1つ分の容量の第1のメモリと、前記逆量子化手段から出力されたデータを格納する、前記分割領域1つ分の容量の第2のメモリと、前記逆離散コサイン変換手段から出力されたデータを格納する、前記集合領域分の容量以下の容量の第3のメモリとを有し、前記離散コサイン変換手段、前記量子化手段、前記逆量子化手段、及び前記逆離散コサイン変換手段におけるそれぞれの処理が、前記集合領域分のデータを単位として、パイプライン処理により実行されることを特徴とする。

【0032】従って、この発明によれば、画像データが分割された分割領域のデータが集合した集合データの1つずつに対して、パイプライン処理によって、DCT、Q処理、IQ処理、IDCTを実行し、これら処理が実行された集合データを、この集合データ分以下の容量のメモリに格納することにより、メモリが増大することを防ぐことができると共に、小さなデータ量である分割領域が集合したデータを取り扱っているため、メモリアクセスを行う時間を短くすることができるので、メモリが稼働する時間が短くなり消費電力を低くすることができる。

【0033】請求項3記載の発明は、少なくとも1以上に分割された画像データの分割領域のデータと、第1のメモリから出力されたデータとが入力し、該入力した2つのデータの内、いずれか一方を出力する第1のスイッチと、前記第1のスイッチから出力されたデータに対して、離散コサイン変換を実行する離散コサイン変換手段と、前記離散コサイン変換手段から出力されたデータを格納する、前記分割領域1つ分の容量の第1のメモリと、前記離散コサイン変換手段から出力されたデータを格納する、前記分割領域1つ分の容量の第2のメモリと、前記第2のメモリに格納されたデータに対して、第3のメモリに格納されたテーブルに基づいて量子化を実行する量子化手段と、前記量子化手段から出力されたデータが入力し、該量子化手段から出力されたデータに対して、前記第3のメモリに格納されたテーブルに基づいて逆量子化を実行する逆量子化手段と、前記逆量子化手段から出力されたデータを格納する、前記分割領域1つ分の容量の第4のメモリと、前記第4のメモリから出力されたデータと、第5のメモリから出力されたデータの内、いずれか一方を出力する第2のスイッチと、前記第2のスイッチから出力されたデータを格納する、前記分

割領域 1 つ分の容量の第 5 のメモリと、前記第 2 のスイッチから出力されたデータを格納する、前記分割領域 1 つ分の容量の第 6 のメモリと、前記第 6 のメモリから出力されたデータと、外部から入力した予測データとを加算する加算器とを有することを特徴とする。

【0034】従って、この発明によれば、画像データが分割された分割領域のデータの 1 つ分に対して、離散コサイン変換手段が離散コサイン変換を実行し、量子化手段が量子化処理（Q 処理）を実行し、逆量子化手段が逆量子化処理（I Q 処理）を実行し、逆離散コサイン変換手段が逆離散コサイン変換（IDCT）を実行し、これらの処理が実行された、分割領域 1 つ分のデータを、それぞれの容量が分割領域 1 つ分の容量である第 1、第 2、第 4、第 5、第 6 のメモリに格納しているので、メモリが増大することを防止することができると共に、少ないデータ量である分割領域の 1 つ分のデータを取り扱っているため、メモリアクセスする時間を短くすることができるので、メモリが稼働する時間が短くなり消費電力を低くすることができる。

【0035】請求項 4 記載の発明は、請求項 3 記載の発明において、前記第 1 のスイッチ、及び前記第 2 のスイッチがそれぞれマルチプレクサにより構成されていることを特徴とする。

【0036】従って、この発明によれば、請求項 3 記載の発明の作用が得られると共に、データを選択するための第 1 のスイッチ、及び第 2 のスイッチがマルチプレクサにより構成されているため、さらに正確にデータを選択することができる。

【0037】請求項 5 記載の発明は、少なくとも 1 以上に分割された画像データの分割領域のデータと、第 1 のメモリから出力されたデータと、第 4 のメモリから出力されたデータとが入力し、該入力した 3 つのデータの内、いずれか 1 つを出力する第 1 のスイッチと、前記第 1 のスイッチから出力されたデータを入力し、離散コサイン変換、若しくは、逆離散コサイン変換を実行する、離散コサイン変換手段と、前記離散コサイン変換手段から出力されたデータを格納する、前記分割領域 1 つ分の容量の第 1 のメモリと、前記離散コサイン変換手段から出力されたデータを格納する、前記分割領域 1 つ分の容量の第 2 のメモリと、前記第 2 のメモリに格納されたデータに対して、第 3 のメモリに格納されたテーブルに基づいて、量子化を実行する量子化手段と、前記量子化手段から出力されたデータに対して、前記第 3 のメモリに格納されたテーブルに基づいて、逆量子化を実行する逆量子化手段と、前記逆量子化手段から出力されたデータを格納する、前記分割領域 1 つ分の容量の第 4 のメモリと、前記第 2 のメモリから出力されたデータと、外部から出力された予測データとを加算する加算器とを有することを特徴とする。

【0038】従って、この発明によれば、画像データが

分割された分割領域のデータの 1 つ分に対して、離散コサイン変換手段が離散コサイン変換を実行し、量子化手段が量子化処理（Q 処理）を実行し、逆量子化手段が逆量子化処理（I Q 処理）を実行し、逆離散コサイン変換手段が逆離散コサイン変換（IDCT）を実行し、これらの処理が実行された、分割領域 1 つ分のデータを、それぞれの容量が分割領域 1 つ分の容量である第 1、第 2、第 4 のメモリに格納しているので、メモリが増大することを防止することができると共に、データ容量が少ない分割領域のデータの 1 つ分を取り扱っているため、メモリアクセスの時間を短くすることができるので、メモリが稼働する時間が短くなり消費電力を低くすることができる。

【0039】請求項 6 記載の発明は、請求項 5 記載の発明において、前記第 1 のスイッチ、及び前記第 2 のスイッチがマルチプレクサにより構成されていることを特徴とする。

【0040】従って、この発明によれば、請求項 5 記載の発明の作用が得られると共に、データを選択するための第 1 のスイッチ、及び第 2 のスイッチがマルチプレクサにより構成されているため、さらに正確にデータを選択することができる。

【0041】請求項 7 記載の発明は、少なくとも 1 以上に分割された画像データの分割領域のデータが複数集合して構成される集合データと、第 1 のメモリから出力されたデータと、第 4 のメモリから出力されたデータとが入力し、該入力した 3 つのデータの内、いずれか 1 つを出力する第 1 のスイッチと、前記第 1 のスイッチから出力されたデータを入力し、離散コサイン変換、若しくは、逆離散コサイン変換を実行する、離散コサイン変換手段と、前記離散コサイン変換手段から出力されたデータを格納する、前記分割領域 1 つ分の容量の第 1 のメモリと、前記離散コサイン変換手段から出力されたデータを格納する、前記分割領域 1 つ分の容量の第 2 のメモリと、前記第 2 のメモリに格納されたデータに対して、第 3 のメモリに格納されたテーブルに基づいて、量子化を実行する量子化手段と、前記量子化手段から出力されたデータに対して、前記第 3 のメモリに格納されたテーブルに基づいて、逆量子化を実行する逆量子化手段と、前記逆量子化手段から出力されたデータを格納する、前記集合領域分の容量以下の容量の第 4 のメモリと、前記第 2 のメモリから出力されたデータと、外部から出力された予測データとを加算する加算器とを有することを特徴とする。

【0042】従って、この発明によれば、入力するデータとして、画像データが複数に分割された分割領域の画像データが集合した集合領域の画像データが入力し、この集合領域のデータに対して、パイプライン処理により、離散コサイン変換、量子化処理、逆量子化処理、逆離散コサイン変換を実行し、これらの処理が実行された

データをメモリに格納しているため、メモリ容量を小さくすることができると共に、少ないデータを取り扱っているため、メモリアクセスを断続的に実行することができるので、メモリの稼働時間を短くすることができ、消費電力を低減することができる。

【0043】請求項8記載の発明は、請求項7記載の発明において、前記第1のスイッチ、及び前記第2のスイッチがマルチプレクサにより構成されていることを特徴とする。

【0044】従って、この発明によれば、請求項7記載の発明の作用が得られると共に、前記第1のスイッチ、及び第2のスイッチがマルチプレクサにより構成されているため、さらに正確に出力するデータを選択することができる。

【0045】ここで、本発明の作用について、図4を参照してさらに詳細に説明する。図4は、本発明に係る画像符号化装置の第2の実施形態の構成を示すブロック図である。本発明によれば、量子化を実行する際のテーブルを格納しているメモリ204のように、メモリ204においては、量子化を実行する量子化回路(Q回路)110と、逆量子化を実行するための逆量子化回路(IQ回路)111との処理期間が重複する。そのため、この量子化テーブルを格納しているメモリ204からの読み出しは、2ブロック毎の非連続した読み出しとなるため、メモリ204の未稼働期間を短くすることができ、その結果電力を低く抑えることが可能になる。このように本発明によれば、動作のタイミングにおいて、メモリにアクセスしない区間を設けることができ、メモリの稼働時間を短くすることができる。

#### 【0046】

【発明の実施の形態】次に、本発明に係る画像符号化装置の実施形態について図面を参照して説明する。

【0047】図1に、本発明に係る画像符号化装置の第1の実施形態の構成のブロック図を示す。ただし、図10に示される従来の画像符号化装置が具備する部材と同様な部材には同じ番号を付す。図1に示される画像符号化装置は、装置構成に必要とされるメモリ容量を削減するために、1マクロブロックを構成するブロックの個数よりも少ないブロック単位にパイプライン処理を行なうものである。

【0048】図1に示されるように、この第1の実施形態に係る画像符号化装置は、DCTにおける垂直方向と水平方向との間の1次元処理の方向を並べかえるDCT転置メモリ200と、入力データ及びDCT転置メモリ200から出力されたデータとから2者択一するマルチプレクサ125と、マルチプレクサ125の出力を入力としてDCT演算を行ない出力データをDCT結果格納メモリ201に書き込むDCT回路102と、量子化、及び逆量子化を実行するためのテーブルを格納しておく量子化テーブル格納メモリ204と、DCT結果格納メ

メモリ201に格納されたデータに対して量子化テーブル格納メモリ204内の量子化テーブルを用いて、量子化、及び逆量子化演算を行なう量子化回路(Q回路)110、及び逆量子化回路(IQ回路)111と、IQ回路111の演算結果を格納する逆量子化結果格納メモリ202と、この逆量子化結果格納メモリ202から出力された出力データと、IDCT転置メモリ205から出力された出力データとの2者択一を実行して出力するマルチプレクサ126と、このマルチプレクサ126の出力を入力とし、IDCT演算を行なって出力データをIDCT結果格納メモリ208に書き込むIDCT回路103と、IDCT回路103から出力されたデータを格納するIDCT転置メモリ205と、IDCT結果格納メモリ208に格納されたIDCT結果と予測データとから局所復号画像を生成する局所復号画像生成回路120とから構成される。

【0049】図1に示される第1の実施形態において、前述のイントラ符号化モードでは輝度または色差信号の画像データを入力データとし、ノンイントラ符号化モードでは輝度または色差信号の予測誤差データを入力データとする。

【0050】次に、図1に示される画像符号化装置の動作について説明する。まずマルチプレクサ125では、入力データ、若しくはDCT転置メモリ200から出力されたデータのいずれか一方を選択し、この選択されたデータをDCT回路102に出力する。DCT回路102では、この入力したデータに対してDCT演算を実行する。

【0051】DCT回路102において、最初に出力される1次元DCT結果はDCT転置メモリ200に出力され、このDCT転置メモリ200に格納される。

【0052】次に、マルチプレクサ125が、DCT転置メモリ200から出力されたデータを選択しDCT回路102に出力する。DCT回路102では、この選択されたデータに対して再度DCT演算を行ない、2次元DCT演算結果を得る。この2次元DCT演算結果はDCT結果格納メモリ201に出力され、このDCT結果格納メモリ201に格納される。

【0053】そして、DCT結果格納メモリ201に格納されている2次元DCT演算結果は、Q回路110において量子化処理(Q処理)が実行され、この処理結果は、可変長符号化回路に出力されると共に、逆量子化回路(IQ回路)111に出力される。

【0054】Q回路110における処理結果はIQ回路111においてIQ処理が行われ、このIQ処理された結果は、逆量子化結果格納メモリ202に出力され、この逆量子化結果格納メモリ202に格納される。

【0055】上述のQ回路110とIQ回路111における演算では、量子化テーブル格納メモリ204から読み出される数値を使用して、演算が行われる。



【0056】次に、逆量子化結果格納メモリ202に格納されている逆量子化データをマルチプレクサ126が選択する。このマルチプレクサ126により選択されたデータは、IDCT回路103に出力される。

【0057】IDCT回路103では、入力したデータに対して、1次元逆離散コサイン変換（IDCT）の演算を実行する。そして、このIDCT回路103から出力されたデータは、IDCT転置メモリ205に出力され、このIDCT転置メモリ205に格納される。

【0058】また、引続きマルチプレクサ126により、IDCT転置メモリ205に格納されている値が選択され、IDCT回路103に出力される。

【0059】このIDCT回路103に出力されたデータに対しては、2次元のIDCT演算が実行される。IDCT回路103は、IDCT演算を実行し、この実行した値をIDCT結果格納メモリ208に出力し、このIDCT結果格納メモリ208に格納する。

【0060】IDCT結果格納メモリ208内に格納された2次元IDCT結果と、外部から出力された予測データとは、局所復号画像生成回路120において加算されて局所復号データとなる。そして、この局所復号データは、フレームメモリに出力される。ただしイントラ符号化を実行する際は、予測データを0（ゼロ）とする。

【0061】次に、図1に示される第1の実施形態に係る画像符号化装置の動作タイミングについて、図2を参照して説明する。ただし、以下において、各メモリ200～208を簡単のため、単にメモリと呼ぶ場合がある。

【0062】図2に、上述の第1の実施形態に係る画像符号化装置における1マクロブロック期間内のタイミングチャートを示す。図2において、横軸は時間を示し、縦方向に1マクロブロック期間における各部材の処理内容を拡大して表示している。

【0063】縦軸はDCT回路102、量子化回路110、逆量子化回路111、IDCT回路103、及び各メモリ200、201、202、204、205、208の動作タイミングを表す。なお図2では、1マクロブロックの構成として、4:2:0のフォーマットのマクロブロックを処理する例について示している。

【0064】また、図2に示される各処理、及びメモリに書かれているY0やY1等という表示は、ブロックY0やY1等のデータが各回路の処理およびメモリアクセスが行なわれることを表し、更に各回路やメモリにクロックが供給されることを表す。図2で直線の部分は回路の処理およびメモリアクセスせずクロック供給されないことを表す。

【0065】図2に示されるタイミングにおいて、DCT回路102やIDCT回路103のY0部分は、DCT回路102やIDCT回路103においてブロックY0データの処理を行ない、DCT転置メモリ200、DC

T結果格納メモリ201、IDCT結果格納メモリ208にDCTやIDCTの演算結果データを書き込むことを表す。

【0066】次に、図2に示されるタイミングチャートの1マクロブロック分の処理期間を、図3を参照してさらに詳細に説明する。

【0067】図3は、図2に示される各ブロック処理期間内の演算による処理の遅延を示すタイミングチャートであり、横軸に時間を示し、図3の（b）から（g）においては、縦軸に、取り扱うデータ量として、ブロックを単位とした取り扱うデータ量を示す。

【0068】図3の（a）に、各ブロックの比較タイミングチャートを示し、（b）に、メモリ201の書き込みデータ量のタイミングチャートを示し、（c）に、メモリ201の読み出しデータ量のタイミングチャートを示し、（d）に、メモリ201の（書き込みデータ量－読み出しデータ量）のタイミングチャートを示し、

（e）に、メモリ202の書き込みデータ量のタイミングチャートを示し、（f）に、メモリ202の読み出しデータ量のタイミングチャートを示し、（g）に、メモリ202の（書き込みデータ量－読み出しデータ量）のタイミングチャートを示す。

【0069】図3の（a）に示されるように、DCT回路102、Q回路110、IQ回路111、及びIDCT回路103における処理が平行四辺形状に表現されるのは、データ入力後、結果を出力するまでに処理遅延があるためである。ただし1次元DCTと2次元DCTの各々の処理、および1次元IDCTと2次元IDCTの各々の1ブロック処理速度はそれぞれほぼ同じとする。

【0070】また全てのデータに対するDCT処理が終了する前に、Q処理を開始することも可能である。また、前述のように、図3の（b）から（g）には、1マクロブロック期間中における各演算処理が示され、図3の（a）に示されるメモリ200、201、202、205、208の各メモリの書き込み、及び読み出し処理の他に、メモリ201における書き込みデータ量、読み出しデータ量、及び書き込みと読み出しとの差分（（書き込みデータ量）－（読み出しデータ量））の、1ブロック単位で表した時間推移と、メモリ202における書き込みデータ量、読み出しデータ量、及び書き込みと読み出しとの差分（（書き込みデータ量）－（読み出しデータ量））の、1ブロック単位で表した時間推移が示されている。

【0071】図3においてDCT転置メモリ200、IDCTの転置メモリ205や、IDCT結果格納メモリ208についてはデータ量の時間推移の図示は、その容量が明らかなため、省略する。

【0072】例えばDCT回路102とIDCT回路103とは各々の1次元処理および2次元処理の間でDCT転置メモリ201とIDCT転置メモリ202とを用

10

20

30

40

50

いて1ブロックずつ逐次処理するため、転置メモリはほぼ1ブロック分必要ことが明らかである。

【0073】また、IDCT結果格納メモリ208については、次ブロックのIDCT演算結果がIDCT結果格納メモリ208内のデータを書き換える前に、IDCT結果格納メモリ208に格納されたデータを局所復号画像を生成するように読み出せば、ほぼ1ブロックの容量が必要ことが明らかである。あるいはIDCT結果格納メモリ208について、図1におけるIDCT回路103のIDCTデータ出力に同期させて予測データを入力することによりIDCT結果格納メモリ208を省略することも可能である。

【0074】図3に示されるタイミングチャートについて、さらに詳細に説明する。図3の(b)に示されるように、DCT結果格納メモリ201へのデータ書き込みは、図3の(a)に示されるY0ブロックデータのDCT処理結果を出力している区間である時刻(A)から(B)までと、以下順にY1、Y2、Y3、Cb、Crに対応する(C)から(E)まで、(G)から(I)まで、(K)から(M)まで、(O)から(Q)まで(S)から(U)までの、DCT回路102が動作し、データを出力する区間で表される。このDCT結果格納メモリ201へのデータ書き込み総量は6ブロック分になる。

【0075】また、図3の(c)を参照すると、メモリ201からのデータ読み出しは、各ブロックのDCT結果をQ回路110が読み出す区間に相当し、ブロック毎に(A)から(C)、(C)から(G)、(G)から(K)、(K)から(O)、(O)から(S)、(S)から(W)の区間で表される。

【0076】DCT演算の結果を格納するDCT結果格納メモリ201へ随時蓄えられているデータ量の時間推移は、図3の(d)に示されるグラフのように、差分(書き込みデータ量) - (読み出しデータ量)によって表される。このDCT結果格納メモリ201のデータ量推移を見ると、データ量が常に0以上になるためQ用データ読み出しはDCT結果の書き込みを追い越さないこと、及びDCT結果格納メモリ201の容量ピークは1ブロック以下であることが分かる。つまり、第1の実施形態に係る画像符号化装置において、ブロック単位のパイプライン処理を行なう場合は、DCT結果格納メモリ201の容量は1ブロック分で十分ことが分かる。

【0077】図3の(e)に示されるように、逆量子化結果格納メモリ202へのデータ書き込みは、Y0ブロックデータのIQ処理結果を出力している区間である時刻(B)から(E)までと、以下順にY1、Y2、Y3、Cb、Crに対応する(E)から(I)まで、(I)から(M)まで、(M)から(Q)まで、(Q)から(U)まで、(U)から(Y)までの、IQ回路1

11が動作しデータを出力する区間で表される。この逆量子化結果格納メモリ202へのデータ書き込み総量は6ブロック分になる。

【0078】図3の(f)を参照すると、逆量子化結果格納メモリ202からのデータ読み出しは各ブロックのIQ結果をIDCT回路103が読み出す区間に相当し、ブロック毎に(D)から(F)、(H)から(J)、(L)から(N)、(P)から(R)、(T)から(V)、(X)から(Z)の区間で表される。

【0079】また、逆量子化結果格納メモリ202へ随時蓄えられているデータ量の時間推移は、図3の(g)に示されるように、差分(書き込みデータ量) - (読み出しデータ量)により表される。図3の(g)を参照すると、IDCT用データ読み出しはIQ結果の書き込みを追い越さないこと、及び逆量子化結果格納メモリ202の容量ピークは1ブロック以下であることが分かる。つまり、第1の実施形態に係る画像符号化装置において、ブロック単位のパイプライン処理を行なう場合は、逆量子化結果格納メモリ202の容量は1ブロック分で十分ことが分かる。

【0080】図2、及び図3に示されるように、タイミングチャートではDCT回路102、Q回路110、IQ回路111及びIDCT回路103の各処理の1ブロックデータを処理する時間についての制約は述べなかったが、仮にDCT、Q、IQ、IDCTの1ブロック処理時間が異なっても、この第1の実施形態の構成は不変である。

【0081】例えばDCT処理時間がQ処理に比べ非常に遅い場合は、Q処理においてDCT結果データを取りこぼす可能性が生ずる。しかしこのような場合はQ処理を断続的に止めるか、若しくはQ処理の開始時間を遅らせる制御を行なうことによりデータの取りこぼしを抑えられる。他の処理の関係についても同様である。

【0082】このように、この第1の実施形態に係る画像符号化装置によれば、画像データを分割した分割領域のデータを単位として、パイプライン形式により、離散コサイン変換、量子化、逆量子化、逆離散コサイン変換し、この処理した分割領域のデータを分割領域のデータ1つ分の容量のメモリに格納している。そのため、処理における中間メモリの容量を削減することが可能になると共に、少ないデータ量を取り扱っているため、メモリアクセスを断続的に実行することができ、メモリの稼働時間を短くし、消費電力を低減することができる。

【0083】次に、図面を参照して、本発明に係る画像符号化装置の第2の実施形態について説明する。図4に、本発明に係る画像符号化装置の第2の実施形態の構成のブロック図を示す。ただし、図1に示される第1の実施形態に係る画像符号化装置と同様な部材には、同じ番号を付す。

【0084】図4に示される画像符号化装置は、装置構

成に必要なメモリ容量を削減するために、前述の第1の実施形態と同様に、1マクロブロックを構成するブロックの個数よりも少ないブロック単位にパイプライン処理を行なうものである。

【0085】図4に示されるように、この第2の実施形態に係る画像符号化装置はDCTおよびIDCT回路から出力されたデータを格納し、垂直方向と水平方向との1次元処理の方向を並べかえるDCT/IDCT転置メモリ206と、入力データと、DCT/IDCT転置メモリ206から出力されたデータと、逆量子化結果を格納する逆量子化結果格納メモリ202から出力されたデータとの内から3者択一して出力するマルチプレクサ125と、このマルチプレクサ125の出力を入力としてDCT演算及びIDCT演算を行ない、出力データをDCT/IDCT結果格納メモリ207に書き込むDCTおよびIDCT回路100と、DCT/IDCT結果格納メモリ207の内部に格納されたデータに対し、量子化テーブル格納メモリ204に格納されている量子化テーブルを使用してDCT/IDCT結果格納メモリ207内のDCT結果に対して、量子化及び逆量子化演算を行なうQ回路110及びIQ回路111と、このIQ回路111の演算結果を格納する逆量子化結果格納メモリ202と外部から入力される予測データとIDCT演算結果とから局所復号画像を生成する局所復号画像生成回路120とから構成される。

【0086】次に、図4に示される第2の実施形態のデータ処理の流れについて、以下に説明する。

【0087】まずイントラ符号化では輝度または色差信号の画像データを、ノンイントラ符号化では輝度または色差信号の予測誤差データを入力データとして入力する。マルチプレクサ125は入力側を選択してDCTおよびIDCT回路100に出力する。

【0088】DCTおよびIDCT回路100はDCT処理とIDCT処理とが切り替えられるようになっており、時分割に使用される。また、DCTおよびIDCT回路100では最初にDCT演算を行なう。この最初の1次元DCT演算結果はDCT/IDCT転置メモリ206に格納され、次に行われる2次元のDCT演算は、1次元DCT結果を格納したDCT/IDCT転置メモリ206からデータの方向を変えて読み出し、DCTおよびIDCT回路100により演算される。このようにして得た2次元DCT演算結果は、DCT/IDCT結果格納メモリ207に出力され、このDCT/IDCT結果格納メモリ207に格納される。

【0089】上述のDCT/IDCT結果格納メモリ207に格納された2次元DCT結果は、読み出されて、Q回路110において、Q処理が実行され、その結果は可変長符号化回路（不図示）へ出力される。

【0090】同時にQ回路110におけるQ処理結果は、IQ回路111においてIQ処理が実行され、この

処理により得られたIQ演算結果は、逆量子化結果格納メモリ202に格納される。逆量子化結果格納メモリ202に格納されたIQ演算結果は、DCTおよびIDCT回路100へ読み込まれ、1次元IDCT演算が実行される。

【0091】DCTおよびIDCT回路100から出力される1次元IDCT結果は、DCT/IDCT転置メモリ206へと格納される。このDCT/IDCT転置メモリ206に格納されたデータは方向を変えて読みだし、引き続きDCTおよびIDCT回路100において、2次元のIDCT演算が行なわれ、この2次元のIDCT演算が行われて得られた演算結果は、DCT/IDCT結果格納メモリ207に格納される。

【0092】このDCT/IDCT結果格納メモリ207に格納された2次元IDCT結果は、読み出され、この読みだされたデータと、外部から出力された予測データとが、局所復号画像生成回路120において加算され、加算された値は、局所復号データとして作成される。ただし、イントラ符号化を実行している場合は、予測データを0（ゼロ）とする。得られた局所復号データは、フレームメモリ（不図示）へと出力される。

【0093】ここで、上述のQ回路110におけるQ処理と、IQ回路111におけるIQ処理とは、共に、量子化テーブル格納メモリ204に格納されているテーブルに基づいて行われる。

【0094】次に、上述の第2の実施形態における、1マクロブロック期間内の動作タイミングについて図5を参照して説明する。図5に、1マクロブロック期間内のタイミングチャートを示す。ただし、この図5に示される例は、4:2:0フォーマットの場合である。また、以下において、各メモリ200~208を簡単のため、単にメモリと呼ぶ場合がある。

【0095】図5において、横軸は時間を示し、縦軸は、図4に示される各ブロックの処理動作のタイミングチャートを示している。

【0096】図5に示されるように、この第2の実施形態では、Y0とY1、Y2とY3、CbとCrの2ブロックずつに対して、DCT処理、Q処理およびIQ処理、IDCT処理のパイプライン処理が実行されている。ただし、図5に示されるように、Q処理とIQ処理とは同じ期間で処理する。

【0097】次に、図5における、2ブロック期間のみのDCT、QおよびIQ、IDCT処理を図6を参照して説明する。

【0098】図6に、2ブロック期間のみのDCT、QおよびIQ、IDCT処理の概念図を示す。図6を参照すると、DCT処理、Q処理、IQ処理、及びIDCT処理はブロック単位のパイプライン処理で行なわれ、パイプライン遅延時間はDCT処理とQ処理との間は1ブロック分、IQ処理とIDCT処理との間は1ブロック

10

20

30

40

50

分になる。

【0099】これにより、Y0ブロックのDCT処理とIDCT処理の時間差が2ブロック分になる。そのためDCT演算とIDCT演算とは時分割の演算が可能になり、DCT演算とIDCT演算における機能を共有化し必要に応じ切り替え可能な回路100を使用できるので回路規模が削減できる。

【0100】図6に示されるタイミングについて、図7を参照してさらに詳細に説明する。図7に、図6に示される2ブロック処理期間内を回路遅延を示すタイミングチャートを示す。図7の(a)に、各ブロックの動作タイミングを比較するタイミングチャートを示し、(b)に、メモリ202の書き込みデータ量のタイミングチャートを示し、(c)に、メモリ202の読み出しデータ量のタイミングチャートを示し、(d)に、メモリ202の(書き込みデータ量-読み出しデータ量)のタイミングチャートを示す。

【0101】図7において、前述の図3と同様に、図7の(a)に示されるDCT/IDCT回路100と、Q回路110、及びIQ回路111の処理のタイミングチャートが平行四辺形状に表現されるのは、データ入力後、結果を出力するまでに処理遅延があるためである。

【0102】また、図7の(a)には、図3の(a)と同様に、2ブロック期間中における、各演算処理、メモリ206、207、202の各メモリの書き込みおよび読み出し処理の他に、メモリ202における書き込みデータ量、及び読み出しデータ量、及び書き込みと読み出しの差分(書き込みデータ量-読み出しデータ量)の、1ブロック単位で表した時間推移が示されている。

【0103】DCT/IDCT結果格納メモリ207のタイミングチャートについては、DCT結果を格納する場合、データ入力、1次元DCT結果の転置メモリへの格納、1次元DCT結果の読み出し、及び2次元DCT結果出力の一連の処理が、上述の第1の実施形態と同様に、全く同様な処理内容であり、図3において示したメモリ201の1ブロック単位で表したタイミングチャートと全く同様な時間推移となる。

【0104】IDCT結果を格納する場合も、上述の第1の実施形態における場合と同様に、次ブロックのIDCT演算結果がメモリ207内のデータを書き換える前に、メモリ207に格納されたデータを局所復号画像を生成するために読み出せば、ほぼ1ブロックの容量が必要なことが明らかである。そのためメモリ207については、書き込みや読み出し量の時間推移図は省略している。

【0105】さらに、図7によれば、2ブロック処理期間内の逆量子化結果格納メモリ202へのデータ書き込みは、図7においてY0ブロックの最初のデータがIQ処理を完了した時刻(A)から、Y1ブロックの最後の

データがIQ処理を完了する時刻(F)までのIQ回路111の動作期間により行われている。

【0106】このデータ書き込みの総量は2ブロック分になる。IDCT演算用にメモリ202からのデータ読み出しは、DCT/IDCT回路100がY0とY1とのブロックデータをIDCT演算するためにY0およびY1の各ブロックデータの最初と最後データを読み込む時刻、つまり図7の時刻(B)から(D)までと、時刻(E)から(G)までにより表され、この容量は各1ブロック分になる。

【0107】逆量子化結果格納メモリ202へ随時蓄えられるデータ量時間推移は、図7の(d)に示されるように、Y0ブロックの最初のデータのIQ結果が書き込まれてから、Y1ブロックの最後データがIDCT演算用に読み出される時刻、つまり時刻(A)から(G)までの区間で表される。これによりデータ量が常に0以上になるため、IDCT用のデータ読み出しはIQ結果の書き込みを追い越さないこと、およびメモリ202の容量ピークは1ブロック分以下になることが分かる。

【0108】従って、この第2の実施形態においてブロック単位のパイプライン処理を行なった場合は、逆量子化結果格納メモリ202の容量が1ブロック分で十分なことが分かる。図6や図7に示されるタイミングにおいて、1マクロブロックを構成するY0とY1との2ブロック処理についてのみ説明したが、Y2とY3、CbとCrの各々2ブロック処理についても、処理の内容およびタイミングは全く同様になる。そのためY2とY3、CbとCrの各2ブロックについての説明は省略する。

【0109】また、この第2の実施形態に係る画像符号化装置によれば、入力するデータとして、画像データが複数に分割された分割領域のデータを用い、この分割領域のデータに対して、離散コサイン変換、量子化、逆量子化、逆離散コサイン変換を、パイプライン処理により実行し、これら処理が実行された分割領域のデータを、その容量が分割領域のデータ1つ分の容量である逆量子化結果格納メモリ202に格納しているため、中間メモリの容量の削減を実行することができると共に、少ないデータ量を取り扱っているため、量子化テーブル格納メモリ204に対するメモリアccessを断続的に実行することができるため、メモリの稼働時間を短くして消費電力を低減することができる。

【0110】また、上述のように、本発明に係る画像符号化装置の第2の実施形態においては、ブロックのパイプラインによる処理を2ブロックずつ処理する形態について説明したが、処理するブロック数は、2ブロックに限定されるものではなく、1マクロブロックを構成するブロック数より少なければ良いことは明白である。

【0111】例えば、3ブロックや4ブロックによりパイプライン処理する装置によりメモリ容量を削減する構成が考えられる。

【0112】次に、本発明に係る画像符号化装置の第3の実施形態について図面を参照して説明する。図8に、本発明に係る画像符号化装置の第3の実施形態の構成のブロック図を示す。ただし、図1に示される第1の実施形態に係る画像符号化装置が具備する部材と同様な部材には同じ番号を付す。

【0113】図8に示される、第3の実施形態に係る画像符号化装置は、3ブロックずつパイプライン処理する画像符号化装置である。この第3の実施形態に係る画像符号化装置が、図4に示される上述の第2の実施形態に係る画像符号化装置と相違する点は、逆量子化結果格納メモリ202の容量が2ブロック分あることのみである。

【0114】まず、図面を参照して、この第3の実施形態に係る画像符号化装置の動作のタイミングについて説明する。

【0115】図9に、図8に示される第3の実施形態の画像符号化装置の動作のタイミングチャートを示す。

【0116】図9の(a)に、各ブロックの動作タイミングの比較タイミングチャートを示し、(b)に、メモリ202の書き込みデータ量のタイミングチャートを示し、(c)に、メモリ202の読み出しデータ量のタイミングチャートを示し、(d)に、メモリ202の(書き込みデータ量－読み出しデータ量)のタイミングチャートを示す。

【0117】このように、図9には、前述の図7と同様に、3ブロック期間中の各演算処理部の時間推移の他に、逆量子化結果格納メモリ202に書き込まれるデータ量、読み出されるデータ量、および書き込みと読み出しの差分(書き込みデータ量－読み出しデータ量)の1ブロック単位による時間推移が示されている。

【0118】図9の(b)を参照すると、逆量子化結果格納メモリ202へのデータ書き込みは、図7の(b)に示されている場合と同様に、図9に示される時刻

(A)から(G)までの、I Q回路111が動作している区間において表され、書き込まれるデータ総量は3ブロック分になる。

【0119】また、I D C T演算に使用するためのメモリ202からのデータ読み出しは、図7の場合と同様にD C T / I D C T回路100がI D C T演算する区間、つまり図9に示される時刻(C)から(E)まで、時刻(F)から(H)まで、及び時刻(I)から(J)までで表され、各時間において取り扱われる容量は各1ブロック分になる。

【0120】また、図9の(d)に示されるように、逆量子化結果格納メモリ202へ随時蓄えられているデータ量の時間推移を見ると、データ量が常に0以上になるため、I D C T用データ読み出しはI Q結果の書き込みを追い越さないこと、メモリ203の容量ピークは2ブ

ロック以下であることが分かる。

【0121】つまり、この第3の実施形態のように、ブロック単位のパイプライン処理を3ブロックずつ断続的に行う場合は、逆量子化結果格納メモリ202の容量が2ブロック分で十分なことが分かる。

【0122】従って、この第3の実施形態に係る画像符号化装置においては、パイプライン形式により処理するデータとして、画像データを分割した分割領域の3つ分の我ぞうデータに対して、各処理を実行し、この各処理が実行されたデータを分割領域2つ分の容量である逆量子化結果格納メモリ202に格納しているため、量子化テーブル格納メモリの容量を削減することができると共に、少ないデータ量を取り扱っているため、メモリ204のを断続的に稼働することが可能になり、メモリの稼働時間を短くすることができる。

【0123】なお、上述の本発明に係る画像符号化装置における、第1の実施形態、第2の実施形態、及び第3の実施形態は静止画像、若しくは動画像にかかわらず両方の符号化方式に適用することが可能である。また、上述の説明において、1マクロブロックの構成として、4:2:0フォーマットの構成についてのみ説明したが、他のフォーマットのマクロブロックについても、ブロックの数が増えるだけであり同様に処理することが可能である。

【0124】

【発明の効果】以上の説明から明らかなように、本発明によれば、D C T処理、Q処理、I Q処理、及びI D C T処理を、分割された1ブロックの分割領域のデータ、若しくは、分割領域を複数集合させた集合データという小さなデータ単位により、パイプライン処理によって処理するため、中間データを格納するメモリ容量が少なく済み、メモリの容量を削減することが可能な画像符号化装置を定期用することができる。

【0125】例えばブロック単位のパイプライン処理を2ブロックずつ処理することで符号化を行うとすると、図4に示される、本発明に係る画像符号化装置の第2の実施形態においては、図10に示される従来の画像符号化装置に必要とされるメモリ容量の56%の値にメモリ容量を低減することができる。

【0126】また、同様に、図8に示される本発明に係る画像符号化装置の第3の実施形態のように、3ブロックずつ処理する場合、図10に示される従来の画像符号化装置に必要とされるメモリ容量の67%の値にメモリ容量を低減することができる。

【0127】また、1マクロブロックとして、4:4:4フォーマットを採用した場合は、1マクロブロックを構成する分割ブロックの数が12ブロックとなるので、図8に示される本発明に係る画像符号化装置の第3の実施形態に必要とされるメモリ容量が、図10に示される従来の画像符号化装置に必要とされるメモリ容量の40

%の値に低減することが可能になる。

【0128】一方、本発明においては、逆量子化部が、従来技術と比較して別構成であり、そのために回路規模が増加するが、メモリの容量の削減率と比較して、この増加率は僅かである。

【0129】例えば、図4に示される本発明に係る画像符号化装置の第2の実施形態によれば、逆量子化部が、従来技術と比較して別構成としたための回路規模の増加は、図10に示される従来の画像符号化装置と比較して約3500ゲートである。一方、メモリの削減は約9200ゲートとなる。従って、増加する回路規模は、メモリ削減量の約1/3の規模にすぎないため、差引き約5700ゲートが削減されることになる。

【0130】また、本発明によれば、2ブロック等の細かな単位において画像データを処理するため、論理回路の処理およびメモリアクセスしない期間が生じ、低消費電力を実行することが可能な画像符号化装置を提供することができる。

【0131】例えば、本発明に係る画像符号化装置の第2の実施形態のタイミングチャートを示す図5を参照すると、Q回路110処理とIQ回路111処理とが重複しているため、量子化テーブル格納メモリ204からの読み出し動作は、断続的な稼働になる。

【0132】それに対し、図11に示される従来の画像符号化装置の動作タイミングでは、1マクロブロックにおける量子化装置および逆量子化装置に量子化テーブルの値を供給する量子化テーブル格納メモリ204は、1マクロブロック期間中稼働し続ける。

【0133】従って、本発明においては、メモリの未稼働状態においてクロックを停止する制御をすることで消費電力の低減化が可能になる。このようなクロック供給の停止制御により装置全体で、クロックを全く停止しない場合と比較し、従来の消費電力の約43%の値に消費電力を低減する効果が得られる。

#### 【図面の簡単な説明】

【図1】本発明に係る画像符号化装置の第1の実施形態の構成を示すブロック図である。

【図2】図1に示す画像符号化装置の動作のタイミング\*

\*チャートである。

【図3】図1に示す画像符号化装置の動作のタイミングチャートである。

【図4】本発明に係る画像符号化装置の第2の実施形態の構成を示すブロック図である。

【図5】図4に示される画像符号化装置の動作のタイミングチャートである。

【図6】図4に示される画像符号化装置の動作の概念図である。

10 【図7】図4に示される画像符号化装置の動作のタイミングチャートである。

【図8】本発明に係る画像符号化装置の第3の実施形態の構成を示すブロック図である。

【図9】図8に示される画像符号化装置の動作のタイミングチャートである。

【図10】従来の画像符号化装置の構成を示すブロック図である。

【図11】図10に示される画像符号化装置の動作のタイミングチャートである。

20 【図12】従来の動画画像符号化装置の構成を示すブロック図である。

【図13】マクロブロックの構成を示す図である。

#### 【符号の説明】

100 DCTおよびIDCT回路

102 DCT回路

103 IDCT回路

110 量子化回路

111 逆量子化回路

120 局所復号画像生成回路

30 125、126 マルチプレクサ

200 DCT転置メモリ

201 DCT結果格納メモリ

202 逆量子化結果格納メモリ

204 量子化テーブル格納メモリ

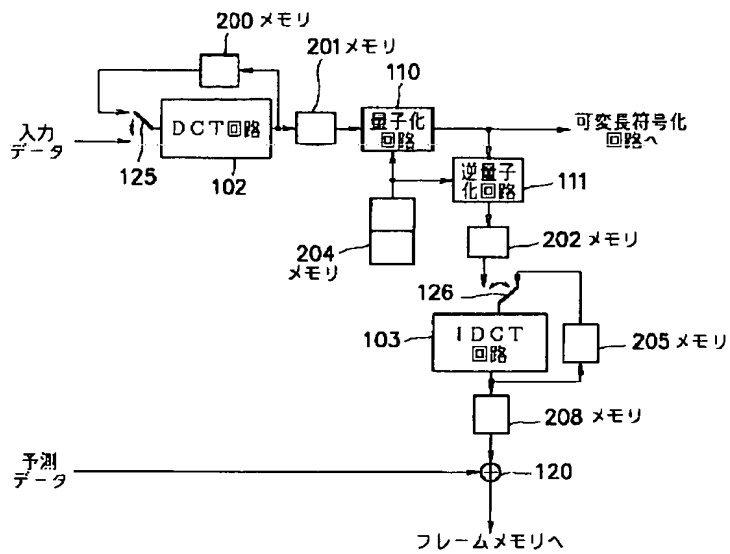
205 IDCT転置メモリ

206 DCT/IDCT転置メモリ

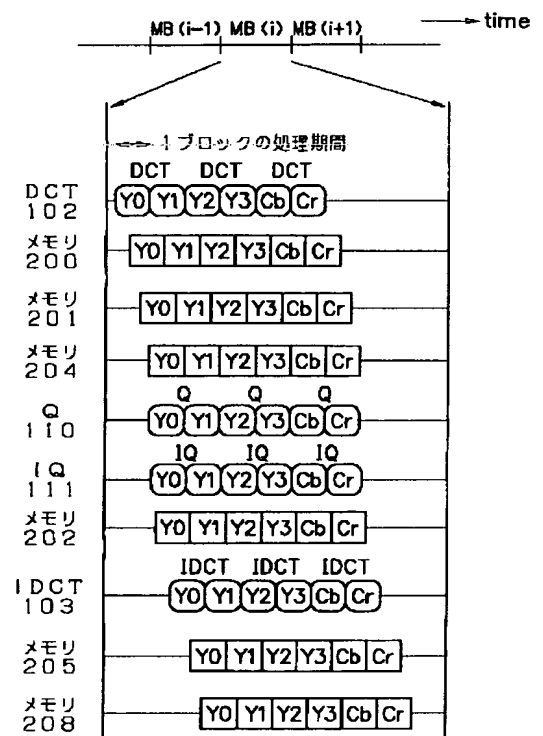
207 DCT/IDCT結果格納メモリ

208 IDCT結果格納メモリ

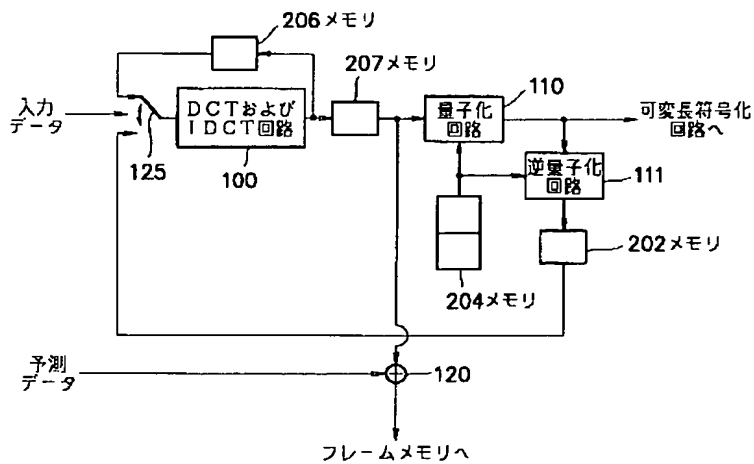
【図 1】



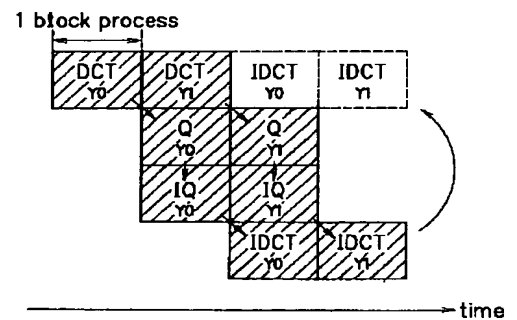
【図 2】



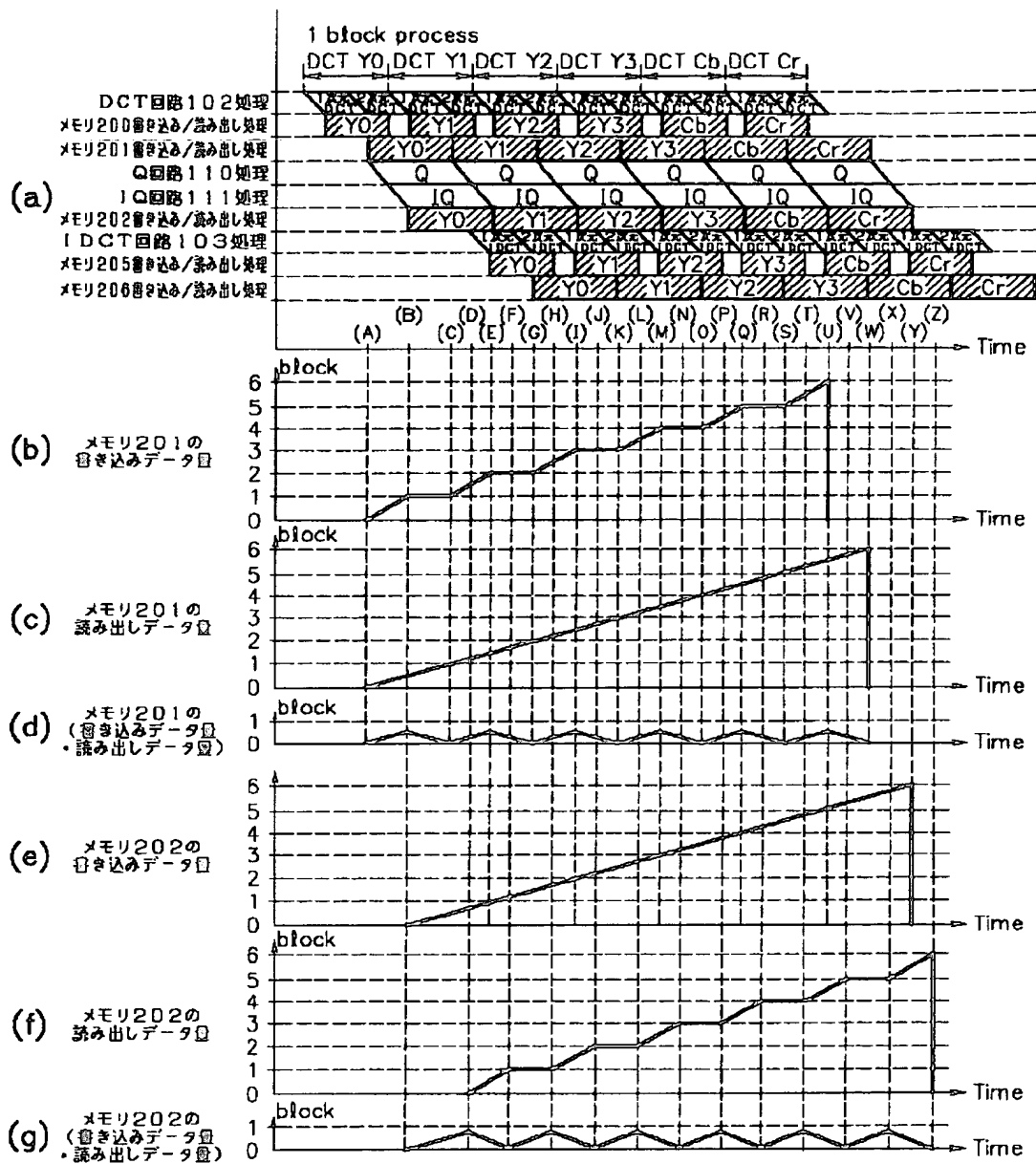
【図 4】



【図 6】

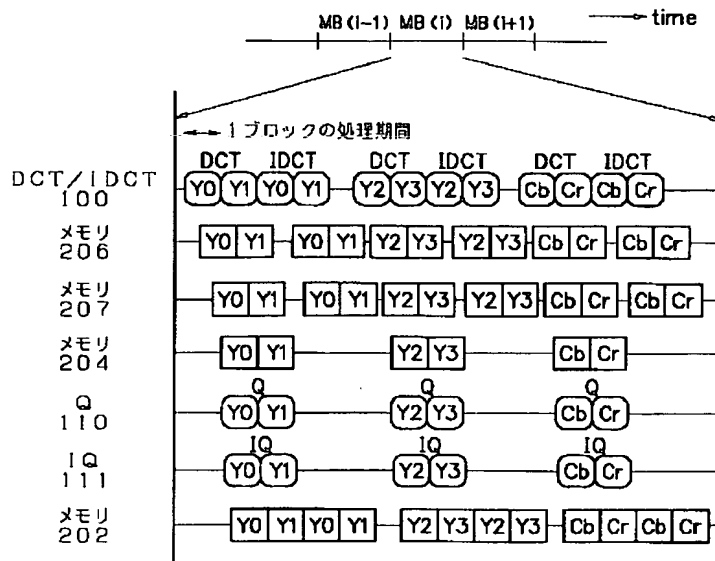


【図 3】

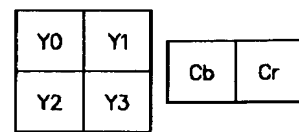




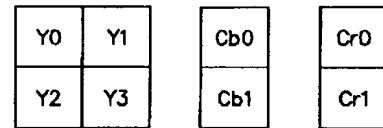
【図 5】



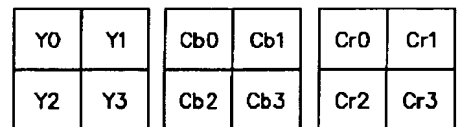
【図 13】



(a)

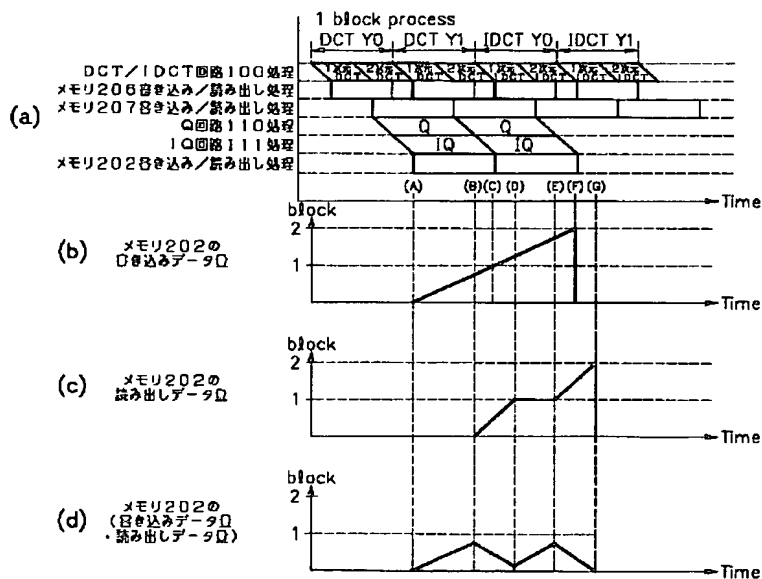


(b)

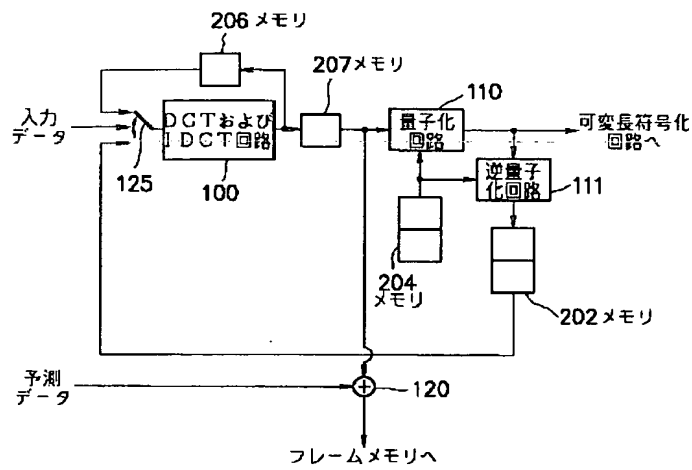


(c)

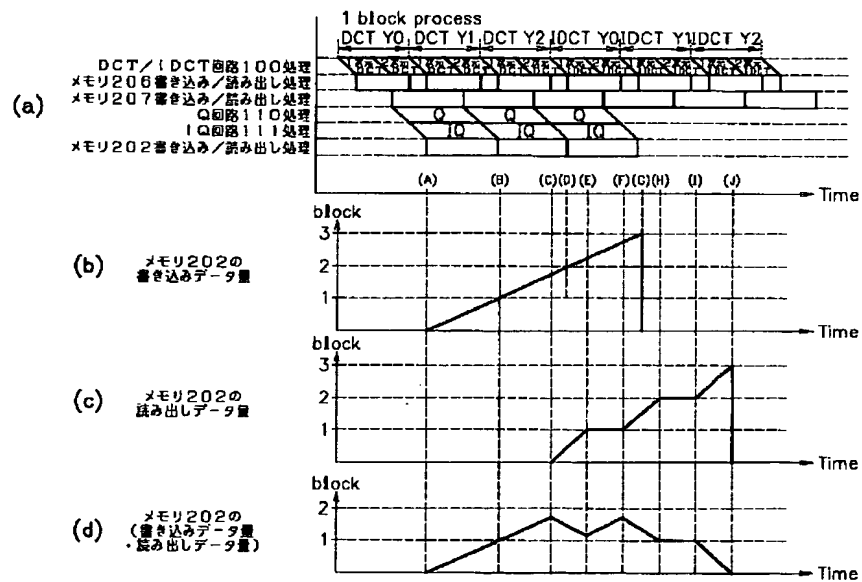
【図 7】



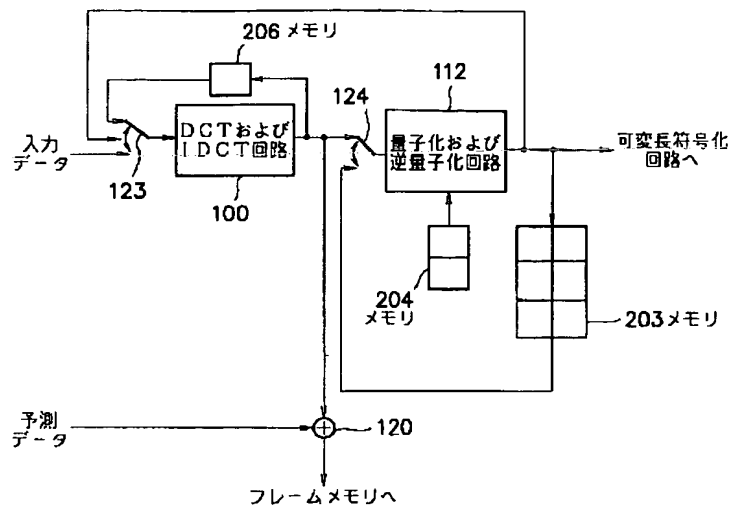
【図 8】



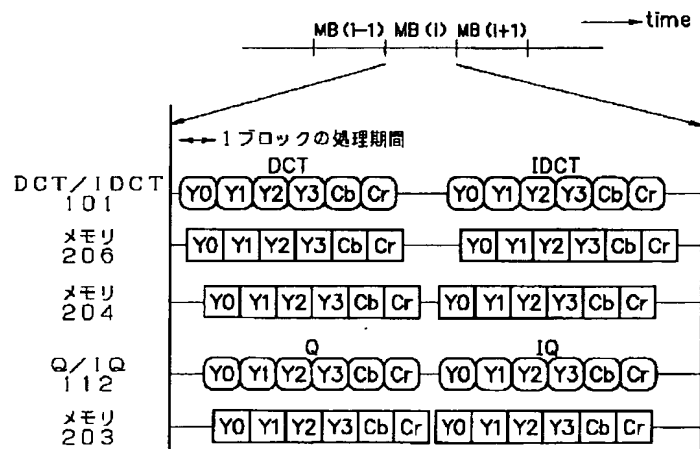
【図 9】



【図 1 0】



【図 1 1】



【図 1 2】

